PATENT ABSTRACTS OF JAPAN

(11)Publication number : 02-234254
(43)Date of publication of application : 17.09.1990

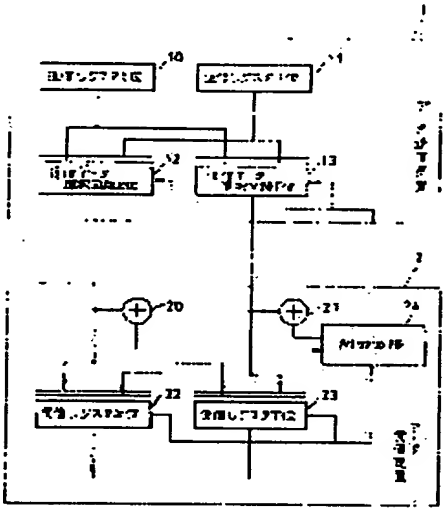
(51)Int.Cl. G06F 13/00
G06F 11/00

(21)Application number : 01-055623
(22)Date of filing : 08.03.1989

(71)Applicant : NEC CORP
(72)Inventor : OTAKI SABURO

(54) DATA TRANSFER CIRCUIT

(57)Abstract:
PURPOSE: To continue the operation of a data transfer circuit without causing a system down by using another normal transmission line to transfer the data in division when the correct transfer of data is impossible due to a partial fault of a certain transmission line.
CONSTITUTION: When a higher rank 20 of an error detecting circuit connected to a data line detects an error, the output signal of the rank 20 is reported to a control circuit 24 via a signal line. The circuit 24 receives the report from the rank 20 and knows that a fault is produced at a higher rank of a data transmission line. Then the circuit 24 transfers hereafter the data in division with use of only a lower rank of the data transmission line with production of a control signal and output this control signal to a higher rank 12 of a transmission data selecting circuit, a lower rank 13 of the transmission data selecting circuit, a higher rank 22 of a reception register, and a lower rank 23 of the reception register respectively. Thus the actions of these circuits are controlled. In such a constitution, the operation of a data transfer circuit can be continued without producing a system down.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

⑲日本国特許庁(JP)　⑪特許出願公開

⑫公開特許公報(A)　平2−234254

⑤1Int.Cl.⁵	識別記号	庁内整理番号
G 06 F 13/00	301 E	8840−5B
11/00	310 C	7343−5B

⑬公開　平成2年(1990)9月17日

審査請求　未請求　請求項の数 1　(全3頁)

⑤4発明の名称　データ転送回路

⑳特　願　平1−55623
㉒出　願　平1(1989)3月8日

⑦2発明者　大滝　三郎　東京都港区芝5丁目33番1号　日本電気株式会社内
⑦1出願人　日本電気株式会社　東京都港区芝5丁目7番1号
⑦4代理人　弁理士 柳川　信

明　細　書

1．発明の名称

データ転送回路

2．特許請求の範囲

(1)第1および第2のデータに分割された送信データのうち一方を選択して第1および第2の伝送経路に送出する第1および第2の送信データ選択手段と、前記第1および第2の伝送経路を介して受信した受信データのうち一方を選択する第1および第2の受信データ選択手段と、前記第1および第2の伝送経路に対応して受信データのエラーチェックを行う第1および第2のエラーチェック手段と、前記第1および第2のエラーチェック手段の前記エラーチェックの結果に応じて前記第1および第2の送信データ選択手段と、前記第1および第2の受信データ選択手段とを制御する制御手段とを有することを特徴とするデータ転送回路。

3．発明の詳細な説明

技術分野

本発明はデータ転送回路に関し、特に情報処理装置内各装置間のデータ転送回路に関する。

従来技術

従来、この種のデータ転送回路においては、第2図に示すように、送信データの上位部分がデータ送信装置3の送信レジスタ上位30からデータ受信装置4の受信レジスタ上位40に直接転送され、送信データの下位部分がデータ送信装置3の送信レジスタ下位31からデータ受信装置4の受信レジスタ下位41に直接転送されている。

このような従来のデータ転送回路では、送信レジスタ上位30および送信レジスタ下位31の出力が受信レジスタ上位40および受信レジスタ下位41に直接接続されているので、データ転送経路の一部が故障すると、正しいデータ転送が行えなくなり、システムダウンになるという欠点がある。

発明の目的

本発明は上記のような従来のものの欠点を除去

すべくなされたもので、データ転送経路の一部が故障しても正しいデータ転送を行うことができ、システムダウンになることなく、運転を継続することができるデータ転送回路の提供を目的とする。

発明の構成

本発明によるデータ転送回路は、第1および第2のデータに分割された送信データのうち一方を選択して第1および第2の伝送経路に送出する第1および第2の送信データ選択手段と、前記第1および第2の伝送経路を介して受信した受信データのうち一方を選択する第1および第2の受信データ選択手段と、前記第1および第2の伝送経路に対応して受信データのエラーチェックを行う第1および第2のエラーチェック手段と、前記第1および第2のエラーチェック手段の前記エラーチェックの結果に応じて前記第1および第2の送信データ選択手段と、前記第1および第2の受信データ選択手段とを制御する制御手段とを有することを特徴とする。

実施例

次に、本発明の一実施例について図面を参照して説明する。

第1図は本発明の一実施例の構成を示すブロック図である。図においては、本発明の一実施例の説明を簡単にするために、データ伝送経路を2分割して制御する場合を示している。

データ伝送経路に障害がない場合には、送信レジスタ上位10の内容がデータ線100と、送信データ選択回路上位12と、データ線102とを経由して受信レジスタ上位22に転送され、送信レジスタ下位11の内容がデータ線101と、送信データ選択回路下位13と、データ線103とを経由して受信レジスタ下位23に転送される。

上記の動作は従来のデータ転送回路と同様の動作である。

データ伝送経路の上位に障害が発生した場合、すなわちデータ線102に接続されているエラー検出回路上位20でエラーが検出されると、エラー検出回路上位20の出力信号は信号線104を介して制御回路24に報告される。

制御回路24はエラー検出回路上位20からの報告を受信すると、データ伝送経路の上位に障害が発生したことを知り、以後データ伝送経路の下位のみを使用してデータ転送を分割して実施するように制御信号を生成し、制御信号を制御信号線106,107を介して夫々送信データ選択回路上位12と、送信データ選択回路下位13と、受信レジスタ上位22と、受信レジスタ下位23とに出力し、それら回路の動作を制御する。

すなわち、第一回目のデータ転送において、制御回路24は制御信号線107を介して送信データ選択回路下位13に制御信号を出力し、送信データ選択回路下位13において送信レジスタ上位10からデータ線100を介して転送されてくる送信レジスタ上位10の内容を選択させる。

さらに、制御回路24は制御信号線106を介して受信レジスタ上位22に制御信号を出力し、受信レジスタ上位22において送信データ選択回路下位13からデータ線103を介して転送されてくるデータを受信させる。

第二回目のデータ転送において、制御回路24は制御信号線107を介して送信データ選択回路下位13に制御信号を出力し、送信データ選択回路下位13において送信レジスタ下位11からデータ線101を介して転送されてくる送信レジスタ下位11の内容を選択させる。

さらに、制御回路24は制御信号線106を介して受信レジスタ下位23に制御信号を出力し、受信レジスタ下位23において送信データ選択回路下位13からデータ線103を介して転送されてくるデータを受信させる。

上述の処理動作は伝送経路の上位に障害が発生した場合の動作であるが、伝送経路の下位に障害が発生した場合（エラー検出回路下位21でエラーが検出されたとき）も同様にして、送信レジスタ上位10の内容および送信レジスタ下位11の内容が送信データ選択回路上位12を介して受信レジスタ上位22および受信レジスタ下位23に転送される。

このように、伝送経路の一部が障害により正し

くデータを転送できなくなったとき、送信データ選択回路上位１２と、送信データ選択回路下位１３と、受信レジスタ上位２２と、受信レジスタ下位２３とを制御して他の正常に動作する伝送経路を使用し、データを分割転送するようにすることによって、転送性能が減ずるものの、正しいデータ転送を行うことができ、システムダウンになることなく、運転を継続することができる。

発明の効果

以上説明したように本発明によれば、伝送経路の一部が障害により正しくデータを転送できなくなったとき、他の正常に動作する伝送経路を使用してデータを分割転送するようにすることによって、データ転送経路の一部が故障しても正しいデータ転送を行うことができ、システムダウンになることなく、運転を継続することができるという効果がある。

４．図面の簡単な説明

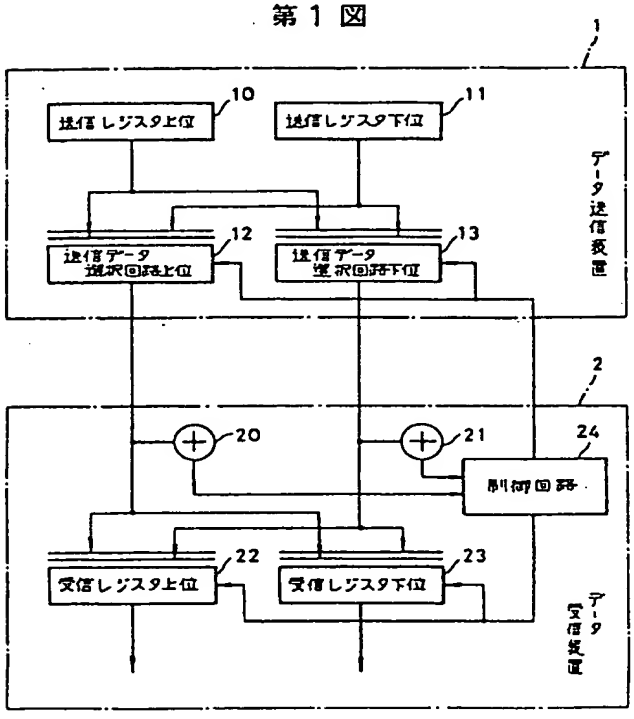
第１図は本発明の一実施例の構成を示すブロック図、第２図は従来例の構成を示すブロック図である。

主要部分の符号の説明

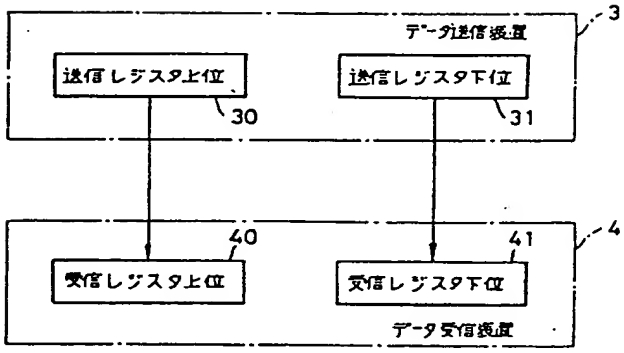
１２……送信データ選択回路上位
１３……送信データ選択回路下位
２０……エラー検出回路上位
２１……エラー検出回路下位
２２……受信レジスタ上位
２３……受信レジスタ下位
２４……制御回路

出願人　日本電気株式会社
代理人　弁理士　柳川　信

第１図



第２図



SPECIFICATION

1. TITLE OF THE INVENTION

Data Transfer Circuit

2. WHAT IS CLAIMED IS:

1. A data transfer circuit comprising:

first transmission data selection means and second transmission data selection means each for selecting either one of first data and second data and transmitting said selected one of said first data and said second data to a first transmission route and a second transmission route, said first data and said second data being obtained as a result of dividing transmission data;

first reception data selection means and second reception data selection means each for selecting either one of pieces of reception data received through said first transmission route and said second transmission route;

first error checking means and second error checking means each for error-checking said reception data, said first error checking means and said second error checking means corresponding to said first transmission route and said second transmission route respectively; and

control means for controlling said first transmission data selection means, said second transmission

data selection means, said first reception data selection means, and said second reception data selection means based on results of said error-checking performed by said first error checking means and said second error checking means.

3. DETAILED DESCRIPTION OF THE INVENTION

Technical Field

The present invention relates to a data transfer circuit, and more particularly to a data transfer circuit employed between devices within an information processing apparatus.

Prior Art

As shown in Fig. 2, in a prior art data transfer circuit of this type, the upper portion of transmission data is directly transferred from a transmission register upper portion 30 in a data transmission apparatus 3 to a reception register upper portion 40 in a data reception apparatus 4, while the lower portion of the transmission data is directly transferred from a transmission register lower portion 31 in the data transmission apparatus 3 to a reception register lower portion 41 in the data reception apparatus 4.

In such a prior art data transfer circuit, the outputs of the transmission register upper portion 30 and the transmission register lower portion 31 are simply

connected to the reception register upper portion 40 and the reception register lower portion 41, respectively. Therefore, when part of the data transfer routes fails, the data transfer is no longer properly carried out, causing a system-down.

Object of the Invention

To solve the above prior art problems, it is an object of the present invention to provide a data transfer circuit capable of properly transferring data even when part of the data transfer routes fails, without causing a system-down, and thereby continuing the operation.

Configuration of the Invention

A data transfer circuit of the present invention comprises: first transmission data selection means and second transmission data selection means each for selecting either one of first data and second data and transmitting the selected one of the first data and the second data to a first transmission route and a second transmission route, the first data and the second data being obtained as a result of dividing transmission data; first reception data selection means and second reception data selection means each for selecting either one of pieces of reception data received through the first transmission route and the second transmission route; first error checking means and second error checking means each for error-checking the

reception data, the first error checking means and the second error checking means corresponding to the first transmission route and the second transmission route respectively; and control means for controlling the first transmission data selection means, the second transmission data selection means, the first reception data selection means, and the second reception data selection means based on results of the error-checking performed by the first error checking means and the second error checking means.

Embodiment

An embodiment of the present invention will be described below with reference to the accompanying drawings.

Fig. 1 is a block diagram showing the configuration of an embodiment of the present invention. To simplify the explanation of the embodiment, the data transmission routes shown in the figure are divided into two portions to be controlled. If no fault exists in the data transmission routes, the contents of a transmitter register upper portion 10 are transferred to a reception register upper portion 22 through a data line 100, a transmission data selection circuit upper portion 12, and a data line 102 while the contents of a transmission register lower portion 11 are transferred to a reception register lower portion 23 through a data line 101, a transmission data selection circuit lower portion 13, and a data line 103.

The above operation is the same as that of the prior art data transfer circuit.

If a fault occurs in the upper portion of the data transmission routes, that is, if an error is detected by an error detection circuit upper portion 20 connected to the data line 102, an output signal (notification signal) from the error detection circuit upper portion 20 is transmitted to a control circuit 24 through a signal line 104.

Upon receiving the notification from the error detection circuit upper portion 20, the control circuit 24 recognizes that the fault has occurred in the upper portion of the data transmission routes, and generates control signals to perform control so that only the lower portion of the data transmission routes is thereafter used for the divided data transfer. The control circuit 24 outputs the generated control signals through control signal lines 106 and 107 to the transmission data selection circuit upper portion 12, the transmission data selection circuit lower portion 13, the reception register upper portion 22, and the reception register lower portion 23 to control the operation of their circuits.

Specifically, in the first data transfer, the control circuit 24 outputs a control signal through the control signal line 107 to the transmission data selection circuit lower portion 13 causing the transmission data

selection circuit lower portion 13 to select the contents of the transmission register upper portion 10 transferred through the data line 100 from the transmission register upper portion 10.

Furthermore, the control circuit 24 outputs a control signal through the control signal line 106 to the reception register upper portion 22 causing the reception register upper portion 22 to receive data transferred through the data line 103 from the transmission data selection circuit lower portion 13.

In the second data transfer, on the other hand, the control circuit 24 outputs a control signal through the control signal line 107 to the transmission data selection circuit lower portion 13 causing the transmission data selection circuit lower portion 13 to select the contents of, at this time, the transmission register lower portion 11 transferred through the data line 101 from the transmission register lower portion 11.

Furthermore, the control circuit 24 outputs a control signal through the control signal line 106 to the reception register lower portion 23 causing the reception register lower portion 23 to receive data transferred through the data line 103 from the transmission data selection circuit lower portion 13.

As described above, the above processing operation

is carried out if a fault occurs in the upper portion of the transmission routes. Similarly, if a fault occurs in the lower portion of the transmission routes (that is, if an error is detected by the error detection circuit lower portion 21), the contents of the transmission register upper portion 10 and the transmission register lower portion 11 are transferred through the transmission data selection circuit upper portion 12 to the reception register upper portion 22 and the reception register lower portion 23, respectively.

Thus, when part of the transmission routes has become unable to properly transfer data due to its fault, the control circuit controls the transmission data selection circuit upper portion 12, the transmission data selection circuit lower portion 13, the reception register upper portion 22, and the reception register lower portion 23 so that the other currently-operational part of the transmission routes is used. With this arrangement, even though the transfer performance is reduced, it is possible to properly transfer data without causing a system-down, and thereby continue the operation.

Effects of the Invention

As described above, if part of transmission routes fails to properly transfer data, the present invention uses the other currently-operational part of the transmission

routes to carry out divided data transfer. With this arrangement, it is possible to properly transfer data even if part of transmission routes fails, without causing a system-down and thereby continuing the operation.

4. BRIEF DESCRIPTION OF THE DRAWINGS

Fig. 1 is a block diagram showing the configuration of an embodiment of the present invention.

Fig. 2 is a block diagram showing the configuration of a conventional example.

Description of Reference Numerals for Main Components

12 ... transmission data selection circuit upper portion

13 ... transmission data selection circuit lower portion

20 ... error detection circuit upper portion

21 ... error detection circuit lower portion

22 ... reception register upper portion

23 ... reception register lower portion

24 ... control circuit

Drawings

Figure 1:

1 ... DATA TRANSMISSION APPARATUS

2 ... DATA RECEPTION APPARATUS

10 ... TRANSMISSION REGISTER UPPER PORTION

11 ... TRANSMISSION REGISTER LOWER PORTION

12 ... TRANSMISSION DATA SELECTION CIRCUIT UPPER PORTION

13 ... TRANSMISSION DATA SELECTION CIRCUIT LOWER PORTION

22 ... RECEPTION REGISTER UPPER PORTION

23 ... RECEPTION REGISTER LOWER PORTION

24 ... CONTROL CIRCUIT

Figure 2:

3 ... DATA TRANSMISSION APPARATUS

4 ... DATA RECEPTION APPARATUS

30 ... TRANSMISSION REGISTER UPPER PORTION

31 ... TRANSMISSION REGISTER LOWER PORTION

40 ... RECEPTION REGISTER UPPER PORTION

41 ... RECEPTION REGISTER LOWER PORTION